

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

T S4/5/1

4/5/1

DIALOG(R)File 351:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

008246914 **Image available**

WPI Acc No: 1990-133915/199018

XRPX Acc No: N90-103803

Still camera operational condition checking unit state camera - which detects loading of detachable memory and checks loaded memory and displays results

Patent Assignee: CANON KK (CANO)

Inventor: DATE N; HORII H; KAWAMURA H; MIMURA T; MURATA Y; OZAKI S; SUZUKI T; TAKAIWA K; TOJO A

Number of Countries: 005 Number of Patents: 008

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 366474	A	19900502	EP 89311078	A	19891026	199018 B
JP 2118990	A	19900507	JP 88269558	A	19881027	199024
JP 2219376	A	19900831	JP 8939343	A	19890221	199041
JP 2257341	A	19901018	JP 8979587	A	19890330	199048
EP 366474	B1	19941228	EP 89311078	A	19891026	199505
DE 68920273	E	19950209	DE 620273	A	19891026	199511
			EP 89311078	A	19891026	
US 5821996	A	19981013	US 89426215	A	19891025	199848
			US 9397610	A	19930723	
			US 95430157	A	19950427	
			US 95445750	A	19950522	
US 6118929	A	20000912	US 89426215	A	19891025	200046
			US 9397610	A	19930723	
			US 95430157	A	19950427	

Priority Applications (No Type Date): JP 8979587 A 19890330; JP 88269558 A 19881027; JP 8939343 A 19890221

Cited Patents: DE 3235735; US 4837628

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
EP 366474	A			
Designated States (Regional): DE FR GB				
EP 366474	B1 E	22	H04N-005/225	
Designated States (Regional): DE FR GB				
DE 68920273	E		H04N-005/225	Based on patent EP 366474
US 5821996	A		H04N-005/76	Cont of application US 89426215
				Cont of application US 9397610
				Div ex application US 95430157
US 6118929	A		H04N-005/225	Cont of application US 89426215
				Cont of application US 9397610

Abstract (Basic): EP 366474 A

A solid-state camera has loading detecting unit for loading of detachable image storing memory apparatus. A checking circuit checks a detection output from the loading detector and loaded image store. A control performs control of each section which includes predetermined display control in accordance with a check result of the detector.

The loading detector includes a switch which is turned on after the image storing device is loaded. The checking circuit and control may include a microcomputer. The checking circuit read out specification information stored beforehand in the image 12)

Title Terms: STILL; CAMERA; OPERATE; CONDITION; CHECK; UNIT; STATE; CAMERA; DETECT; LOAD; DETACH; MEMORY; CHECK; LOAD; MEMORY; DISPLAY; RESULT

Derwent Class: T01; W04

International Patent Class (Main): H04N-005/225; H04N-005/76

International Patent Class (Additional): G06F-012/06; G06K-017/00;
H04N-005/22; H04N-005/907

File Segment: EPI

?

⑫ 公開特許公報(A) 平2-257341

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月18日

G 06 F 12/06
G 06 K 17/00
H 04 N 5/907

A 8841-5B
D 6711-5B
B 6957-5C

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 情報記録装置

⑯ 特 願 平1-79587

⑰ 出 願 平1(1989)3月30日

⑱ 発 明 者 堀 井 博 之 神奈川県川崎市高津区下野毛770番地 キヤノン株式会社
玉川事業所内⑲ 発 明 者 三 村 敏 彦 神奈川県川崎市高津区下野毛770番地 キヤノン株式会社
玉川事業所内

⑳ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

㉑ 代 理 人 弁理士 田中 常雄

明 細 書

1. 発明の名称

情報記録装置

2. 特許請求の範囲

着脱自在な固体メモリ装置に情報を記録する装置であって、装着された固体メモリ装置の仕様情報を検知する検知手段を設け、当該検知手段の検知情報に従い当該固体メモリ装置へのアクセス・タイミングを制御することを特徴とする情報記録装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は情報記録装置に関し、より具体的には、メモリ・カードのような固体メモリ素子を記録媒体として使用する情報記録装置に関する。

〔従来の技術〕

半導体メモリ素子をカード化した情報記録装置、即ち、ICカードやメモリ・カード等が各種のデータの記録媒体又は搬送手段として使用されるようになった。そのメモリ素子には、SRAM、D

RAM、EPROM、EEPROMなどがある。

〔発明が解決しようとする課題〕

上記各メモリ素子の書き込み速度(又は時間)は、素子毎に大きく異なる。従って、メモリ容量が増す程、書き込み時間の差は顕著になる。

書き込み速度に応じた適切な速度でデータを転送しないと、書き込みを失敗し、データを失うことにもつながりかねない。

そこで本発明は、このようなメモリ素子の相違に自動対応できる情報記録装置を提示することを目的とする。

〔課題を解決するための手段〕

本発明に係る情報記録装置は、着脱自在な固体メモリ装置に情報を記録する装置であって、装着された固体メモリ装置の仕様情報を検知する検知手段を設け、当該検知手段の検知情報に従い当該固体メモリ装置へのアクセス・タイミングを制御することを特徴とする。

〔作用〕

上記手段により、記録に際して、固体メモリ装

置のメモリ素子に即したアクセス・タイミングで当該固体メモリ装置への転送を行なう。これにより、種々のメモリ素子を使用する固体メモリ装置を利用できるようになる。

【実施例】

以下、図面を参照して本発明の実施例を説明する。

第1図は、半導体メモリ装置を静止画記録媒体として使用するスチル・カメラ（以下、固体カメラという。）に本発明を適用した場合の一実施例の構成ブロック図を示す。10はカメラ本体、11は、上記各種の半導体メモリ素子及びその制御回路としてのCPUからなり、撮影画像を記録するための半導体メモリ装置である。半導体メモリ装置11はカメラ本体10から着脱自在である。カメラ本体において、12は撮影レンズ、13はシャッタ、14はCCDなどの固体撮像素子、16は信号処理回路、18はA/D変換器、22は撮像素子14の駆動回路、24は全体を制御するCPU、26は回路22、16、18、20の動

作タイミングを規定するタイミング制御回路、28は各種スイッチ及び表示装置を具備する表示・スイッチ装置である。

第2図のフローチャートを参照して第1図の動作を説明する。カメラ本体10の電源がオンされると（S1）、半導体メモリ装置11の装填を持つ（S2）。そして、CPU24は、装填された半導体メモリ装置11との間で通信を行ない、半導体メモリ装置11の仕様情報（例えば、メモリ素子の種類、転送スピードの上限、残容量など）を検知する（S3）。CPU24はこの情報に基づいて回路14、16、18、22の動作スピードを決定し、タイミング制御回路26を制御する。

ここで、撮影者が、表示・スイッチ装置28のシャッタ・スイッチを押すと、シャッタ13が開き、上記のタイミングにより撮像素子14の出力が信号処理回路16およびA/D変換器18を介して半導体メモリ装置11に転送され、書き込まれる。

S3で得られたメモリ情報に基づいて、最大連

写スピードが決まるので、表示・スイッチ装置28の表示装置により、設定し得る最大連写スピードを表示する（S4）。以後、半導体メモリ装置11の取り外しを監視する（S5）。

第3図は本発明の別の実施例の構成ブロック図である。第1図と同じ構成要素には同じ符号を付してある。本実施例では、A/D変換器18によりデジタル化された画像データをフレーム・メモリ30に一時保存するようにしてある。フレーム・メモリ30に一時保存された画像データは、半導体メモリ11のメモリ素子の転送スピードに適合するスピードでフレーム・メモリ30から読み出され、半導体メモリ装置11に書き込まれる。

上記実施例では、半導体メモリ11の装着時に、カメラ本体10のCPU24が半導体メモリ装置11に使用メモリ素子の種類などを問い合わせる構成を採用したが、半導体メモリ装置11に上記各種情報を機械的に設定しておき、カメラ本体10側には、この機械的設定情報を検知する検知手段を設けるようにしてもよい。こうすれば、CPU

間の通信の手間が省ける。

本実施例では、半導体メモリ装置の書き込み可能なスピードに、最大連写スピードを制限し、これを表示するので、固体カメラの使い勝手、特に連写撮影の操作性が向上する。

以上の説明では、固体カメラを例に取ったが、本発明は、着脱自在な固体メモリ装置に或る種の情報を記録しようとする装置一般に適用可能である。固体カメラでは、

【発明の効果】

以上の説明から容易に理解できるように、本発明によれば、多種多様のメモリ素子のメモリ装置を交換使用しても、支障無く情報を記録できるようになる。

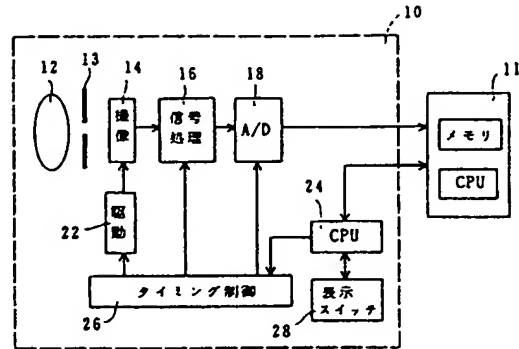
4. 図面の簡単な説明

第1図は本発明の一実施例の構成ブロック図、第2図はそのフローチャート、第3図は本発明の変更実施例の構成ブロック図である。

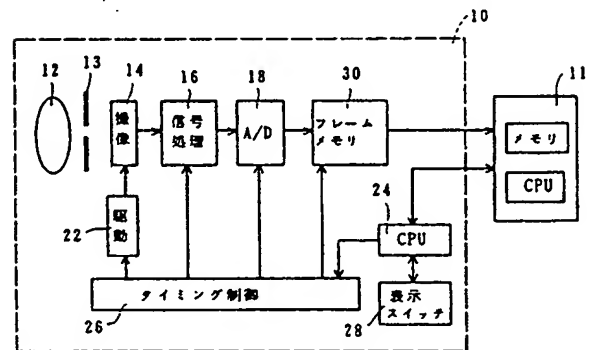
10：カメラ本体 11：半導体メモリ装置 12：撮影レンズ 13：シャッタ 14：撮像素

子 24: CPU 26: タイミング制御回路
28: 表示・スイッチ装置 30: フレーム・メモリ

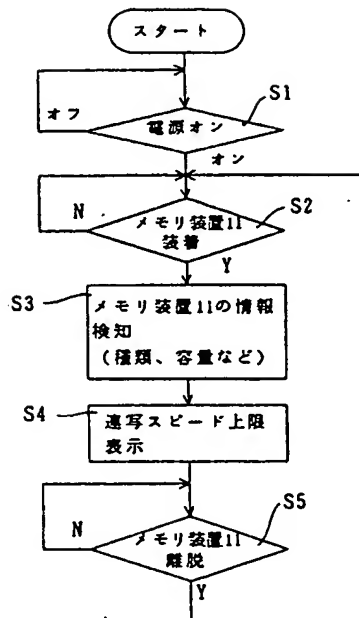
特許出願人 キヤノン株式会社
代理人弁理士 田中 常雄



第 1 図



第 3 図



第 2 図